

# ビルドアップ基板の高密度化を促進する 理論計算手法の開発

## Development of Theoretical Calculation Methods for Promoting the Development of Fine-Patterned Printed Circuit Boards

サブトラクティブ法による配線形成を理論的に計算する手法を開発した。今回のモデルによる理論計算の結果は15 $\mu\text{m}$ 厚さのレジストについて実験結果とほぼ一致した。仮に製造プロセスのばらつきがまったくなければ、銅厚20 $\mu\text{m}$ 、アンカー深さ2.8 $\mu\text{m}$ のときライン幅/スペース幅が27 $\mu\text{m}$  / 25 $\mu\text{m}$ の配線を15 $\mu\text{m}$ の厚さのレジストを用いて形成できることが理論計算から分かった。プロセスばらつきが形成可能な最小ピッチに与える影響を計算し、どのプロセスのばらつきを解消すればビルドアップ基板の高密度化へ最も有効かを推定した。最も有効なプロセスのばらつきを優先して解消すれば、ランダムな順序でばらつきを解消する場合と比べ、最初のプロセスのばらつきを解消した段階で、開発前後の最小ピッチの減少幅を約2倍に促進できると推定できる。

A method for theoretically calculating wiring formation using the subtractive method was developed. The results of theoretical calculation based on this model proved to be almost identical to the test results achieved in connection with resists 15 $\mu\text{m}$  thick. It has become clear on the basis of theoretical calculation that, even were there absolutely no variations in production processes, in the case of copper thickness of 20 $\mu\text{m}$  and anchor thickness of 2.8 $\mu\text{m}$ , it is possible to form wiring with a line width and space width of 27 $\mu\text{m}$  and 25 $\mu\text{m}$  respectively with resists possessing a thickness of 15 $\mu\text{m}$ . The effects of process variation on the minimum possible formable pitch were calculated and which type of process variation needed to be resolved in order to ensure the greatest degree of effectiveness as regards raising the density of fine-patterned printed circuit boards was inferred. Once it becomes possible to solve this problem with precedence given to variation in the most effective process, in comparison with cases where variation is solved in a random sequence, it should become possible to achieve a twofold reduction in the minimum pitch before and after development at the stage when the first process variation is resolved.



日本アイ・ピー・エム株式会社  
エンジニアリング&テクノロジー・サービス  
テクノロジー・サービス開発 実装設計技術開発  
先任開発技術係  
Engineer  
Packaging Design Methodology, Technology Service Development  
IBM Engineering & Technology Services, IBM Japan, Ltd.

乃万 裕一 Hirokazu Noma

### [プロフィール]

2001年、日本アイ・ピー・エム入社。以来、コンポーネント・テクノロジー開発製造において、ビルドアップ配線板の製造プロセスの開発に従事。主に、エッチング・プロセスによる微細配線の形成手法の開発を行ってきた。

2003年、エンジニアリング&テクノロジー・サービスへ異動。現在は、パッケージ開発に関するコンサルティング業務に従事。



日本アイ・ピー・エム株式会社  
エンジニアリング&テクノロジー・サービス  
テクノロジー・サービス開発 実装設計技術開発  
主任開発技術担当部長  
Staff Engineer  
Packaging Design Methodology, Technology Service Development  
IBM Engineering & Technology Services, IBM Japan, Ltd.

中西 徹 Tohru Nakanishi

### [プロフィール]

1987年、日本アイ・ピー・エム入社。大型システムに使用される機械部品 / 電気部品の設計および評価に携わる。冷却部品担当から数値解析シミュレーションに取り組み、半導体、基板、ノート型PCや大型システムから室内環境まで、幅広く数値解析を経験している。現在は、構造や熱流体問題に対し、数値解析シミュレーションを用い最適ソリューションを教授している。

特許12件所持。技術士(応用理学部門)

## 1. はじめに

半導体チップの高集積化に伴い、半導体チップ間を接続するビルドアップ基板においても、配線のさらなる高密度化が要求されている。ビルドアップ基板において、スルー・ホールを持つ配線は、主にサブトラクティブ法によって形成される。サブトラクティブ法のためのレジストには、電着レジストとドライ・フィルム・レ

ジストがある。電着レジストは厚さが6 $\mu\text{m}$ と薄いため解像度が高く、より微細な配線を形成できる利点がある[参考文献1]しかし、電着レジストにおいてはドライ・フィルム・レジストと比べ高価であるという問題がある。

サブトラクティブ法での回路形成における最大の障害はサイド・エッチである。サイド・エッチとは、銅厚方向へエッチングする間に、レジスト膜の下側で銅厚と垂直な方向へもエッチングさ



3.2. 流速計算( 図3の①)

3.2.1. 仮定

流速計算に当たり、下記の仮定を置いた。

- (仮定1) エッチング液は非圧縮性のニュートン流体とし、物理定数は溶液の密度も含め一定と仮定する[ 参考文献2 ]
- (仮定2) 溶解の時間スケールに対して流れの時間スケールは非常に小さい。この仮定により、流れ場の計算をくぼみの形成に関する計算と分離し、準定常的に行うことができる[ 参考文献2 ]
- (仮定3) エッチング液は、スペースに沿った方向( 図1のx方向) のみに流れる。この仮定によって、エッチング液の流速は、スペースに沿った方向のみ計算すればよいことになる[ 参考文献4 ] また、銅パターンの形状の計算も2次元で行える。
- (仮定4) エッチング液の流れは層流である。
- (仮定5) 境界層モデルを適用し、レジスト表面から速度境界層厚さ  $v$  以上離れた場所において、エッチング液の図1のx方向の流速  $u$  は一定速度  $U_{main}$  (0.5m/s) と見なす。

$v$  は一様流れの中の無限平板での境界層厚さの式( 式2) から  $v=4.5 \times 10^{-5}m$  と求めた。動粘度  $\nu=1 \times 10^{-6}m^2/s$  (水と同じと仮定[ 参考文献5 ]) 平板の端からの距離  $L=0.05m$  (エッチング装置のスプレー間隔の半分)、密度  $\rho=1.24 \times 10^3kg/m^3$  (実測値) を用いた。

$$v=5 \sqrt{\frac{L}{U_{main}}} \quad (式2)$$

3.2.2. 流れ場の基礎方程式

仮定1から得られる流れ場の基礎方程式を下記に示す[ 参考文献2 ]

連続の式

$$(u/x) + (v/y) + (w/z) = 0 \quad (式3)$$

非圧縮性ナビエ・ストークス方程式

$$\frac{u}{t} + u \frac{u}{x} + v \frac{u}{y} + w \frac{u}{z} = -\frac{1}{\rho} \frac{P}{x} + \left( \frac{\nu}{x^2} \frac{\partial^2 u}{\partial x^2} + \frac{\nu}{y^2} \frac{\partial^2 u}{\partial y^2} + \frac{\nu}{z^2} \frac{\partial^2 u}{\partial z^2} \right) \quad (式4)$$

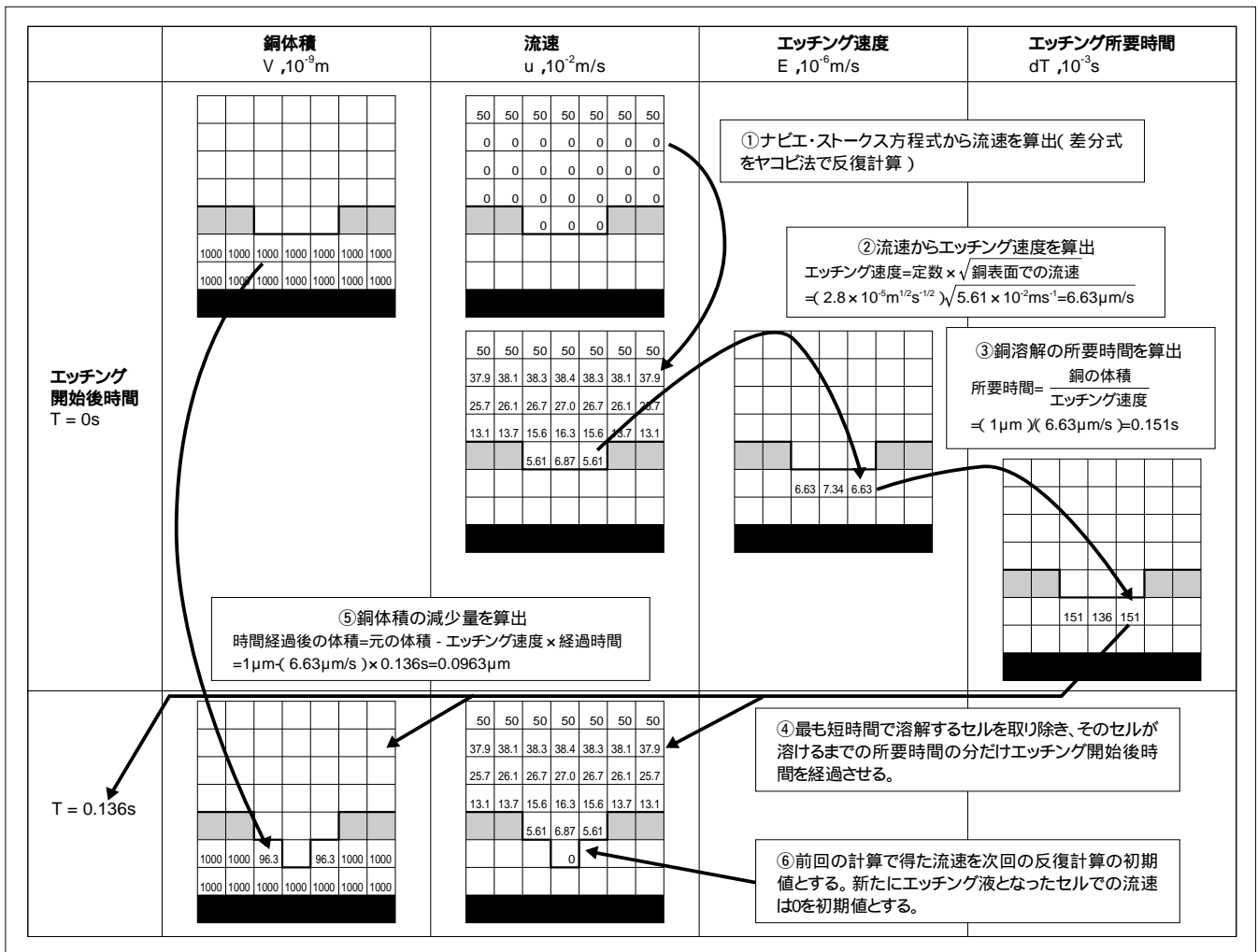


図3. 理論計算手順の模式図( 速度の境界層厚さ4 $\mu$ m、レジスト厚1 $\mu$ m、銅厚2 $\mu$ m、レジスト幅/スペース幅4 $\mu$ m/3 $\mu$ mの場合)



いた。以下、既に述べた手順を繰り返せば、銅形状の時間による変化が計算できる。

## 4. 結果と考察

### 4.1. 断面形状の例

実験で得た配線の断面写真と、理論計算によって求めた配線形状を図5に示す。ここに示したのはレジスト厚さが15 $\mu\text{m}$ 、レジスト・スペースが20 $\mu\text{m}$ の場合の結果である。

計算結果からは、エッチング時間が長くなるにつれてスペースが広がり、ライン側面の傾斜が急な良好な配線形状になることが読み取れる。

実験結果の写真は42秒間エッチング実験を行った場合の断面であり、計算結果の図の二点鎖線に対応している。実験結果と計算結果を比較すると、配線断面の形状が定性的に一致していることが読み取れる。

### 4.2. 側面傾斜角

ライン側面の角度 に対するレジスト厚さ・レジスト開口部幅・エッチング時間依存性を図6に示す。図6において、実験値と理論計算値を比較すると、下記の事項が読み取れる。

- 15 $\mu\text{m}$ 厚さのレジストについては、すべてのレジスト開口部幅において、実験値と理論計算値がほぼ一致している。
- 10 $\mu\text{m}$ 厚さのレジストに関して、レジスト開口部幅が40 $\mu\text{m}$ 以上の場合には実験値と理論計算値がほぼ一致している。

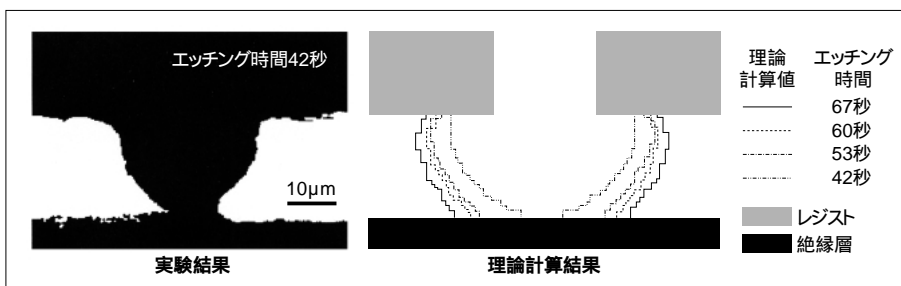


図5. 銅配線間スペースの断面形状(レジスト厚さ15 $\mu\text{m}$ 、レジスト間スペース20 $\mu\text{m}$ )

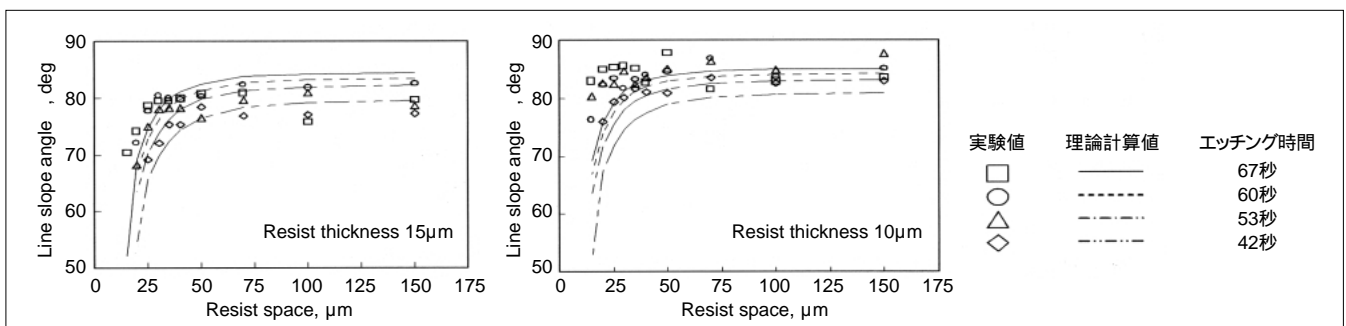


図6. ライン側面角度 のレジスト厚さ、レジスト開口部幅、エッチング時間依存(実験値、計算値)

10 $\mu\text{m}$ 厚さのレジストに関して、レジスト開口部幅が40 $\mu\text{m}$ 未満の場合には、理論計算によって求めた は実験結果より悪い値となっている。このずれが生じたのは、計算ではレジストのスペースに沿った流れを仮定したのに対し、実際には、スプレー噴射によってレジスト・スペースと垂直な方向(図1, 3のy方向やz方向)にも流れが生じているためと考える。また、このずれが、レジストが薄かつレジスト開口部幅が狭い場合についてのみ生じたのは、下記の二つの理由によると考えている。

- レジストの厚さが薄いと、レジストのスペースと平行な方向の流れも速くなるが、レジストのスペースと垂直な方向の流速はさらに速くなる。
- レジストの開口部幅が広いと、レジストのスペースに沿った流速は非常に速くなるため、レジストのスペースと垂直な方向の流れはほとんど無視できる。

以上から、15 $\mu\text{m}$ 厚さのレジストについて今回のモデル(式5、7、9)によって銅配線形状を算出できることが明確になった。

## 5. サブトラクティブ法での最小ルール

4章において、今回の理論計算手法を用いれば15 $\mu\text{m}$ 厚さのレジストによる実験結果を推算できることが明らかになった。そこで、15 $\mu\text{m}$ 厚さのレジストによって形成可能な最小ルールを、銅厚20 $\mu\text{m}$ 、アンカー深さ2.8 $\mu\text{m}$ の場合について、下記の条件を使って推算した。

- 現状のプロセスのばらつき(3)は、銅厚・レジスト幅・エッチング速度について、それぞれ、3 $\mu\text{m}$ 、3 $\mu\text{m}$ 、 $\pm 13\%$ である[参考文献11]
- アンカー内の銅のエッチングには、アンカー深さの1.7倍の厚さの銅をエッチングするだけの時間がかかる。電気的信頼性のため、アンカー内の銅が完全にエッチングされた領域は15 $\mu\text{m}$ 以上必要であると仮定した。

表2. 最小ルールのプロセスばらつき依存(計算値)

プロセスばらつき			最小ルール(レジスト厚さ15μm)		
銅厚	レジスト幅	エッチング	ピッチ	ライン	スペース
+/-3μm	+/-3μm	+/-13%	75μm	28μm	47μm
+/-3μm	+/-3μm	+/-0%	70μm	27μm	43μm
+/-3μm	+/-0μm	+/-13%	59μm	23μm	36μm
+/-0μm	+/-0μm	+/-0%	55μm	23μm	32μm
+/-0μm	+/-3μm	+/-13%	72μm	32μm	40μm
+/-0μm	+/-3μm	+/-0%	67μm	31μm	36μm
+/-0μm	+/-0μm	+/-13%	56μm	27μm	29μm
+/-0μm	+/-0μm	+/-0%	52μm	27μm	25μm

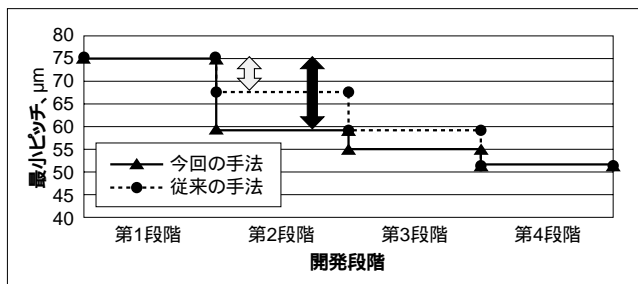


図7. 形成可能最小ピッチのプロセスばらつき解消順序依存(計算値)

- 現像で形成可能な最小のレジスト間スペースは20 μm である[参考文献11]。エッチング中のレジストはがれ防止のため、銅配線のトップ幅は最低限8 μm 必要である[参考文献11]

最小ルールのプロセスばらつき依存を計算した結果を表2に示す。形成可能最小ルールへ与えるプロセスばらつきの影響は、銅厚・レジスト幅・エッチング速度の中で、レジスト幅が最も大きいと推定できた[参考文献11]

## 6. 高密度ビルドアップ基板の開発促進

前章の結果から、めっき、露光・現像、エッチングの中で、露光・現像のばらつきの抑制がビルドアップ基板の高密度化に最も有効と推定できる。

ここで、プロセスのばらつきを完全になくすために必要な開発労力が、どのプロセスでも同じと考える。すると、プロセスばらつきの解消を、従来のようにランダムな順番に行うのではなく、高密度化に有効な順にすれば、ビルドアップ基板の高密度化が促進できると期待できる。

形成可能最小ピッチが、プロセスばらつきの解消の順序にどのように依存するかを計算し、結果を図7に示した。三つのプロセスのばらつきを改良する順序は6通りあるため、その平均を従来の手法による最小ピッチとした。今回の手法としては、6通りの順序のうち最も有効と推定した「レジスト幅 エッチング速度 銅厚」の順序でプロセスばらつきの解消した場合の計算値

を示した。

最小ピッチが低減した分を開発効果と考えると、第1段階の開発が終わった段階において、今回の手法による開発効果は、従来手法の約2倍になると推定できる(図7の矢印部分)。

## 7. おわりに

エッチングの理論計算手法を開発した。計算結果を、厚さ15 μmと10 μmのレジストを利用したエッチング実験の結果と比較したところ、今回のモデルによる理論計算値は15 μm厚さのレジストについて実験結果とほぼ一致した。プロセスばらつきが形成可能な最小ルールに与える影響を計算すれば、どのプロセスを改善すれば配線の高密度化に最も有効かを推定でき、高密度ビルドアップ基板の開発を促進できる。

[編集部より]

2003年度より、学会や社外コミュニティーでも通用する論文を目指して、IBMプロフェッショナル論文募集要綱が変更されました。このため従来の営業・サービス系技術者に加えて、研究所・工場・開発部門の研究者・技術者より多数の論文が寄せられました。

当論文はそのうち、野洲事業所(滋賀県)の開発技術者が執筆したものです。

[参考文献]

- [1] 武内 浩他「ビルドアップ配線板におけるファインピッチ配線の形成」第8回マイクロエレクトロニクスシンポジウム、185～188ページ、1998年
- [2] 西中川 遵他「エッチング加工法における流動現象」『ながれ』vol.20、116～126ページ、2001年
- [3] 船橋 真吾他「塩化第二銅溶液及び塩化第二鉄溶液による回路用銅箔のウエットエッチング特性」第10回マイクロエレクトロニクスシンポジウム、243～246ページ、2000年
- [4] T. Hayashi, The Modeling and Formulation of Etching Rate Based on Hydrodynamics Theory, 2003 International Conference on Electronics Packaging, pp.193-198, 2003
- [5] 水科 篤郎、荻野 文丸『輸送現象』産業図書、ISBN4-7828-2520-X C3058、1981年
- [6] 上田 龍二他「塩化第二鉄溶液のスプレーエッチング速度の解析」『表面技術』vol.43、No.10、946～951ページ、1992年
- [7] 水島 二郎、柳瀬 眞一郎『理工学のための理論計算法』数理工学社、ISBN4-901683-01-2 C3341、2002年
- [8] 松本 克才他「CuCl<sub>2</sub>-HCl溶液による銅のエッチング速度」『エレクトロニクス実装学会誌』vol.5、No.1、35～41ページ、2002年
- [9] 小宮山 宏『速度論』朝倉書店、ISBN4-254-25018-5 C3058、1990年
- [10] Y. Hirai, et al., "Three-dimensional resist process simulator PEACE (photo and electron beam lithography analyzing computer engineering system)", IEEE transactions on computer-aided design, vol.10, No.6, pp.802-807, 1991
- [11] 乃万 裕一、中西 徹「薄膜ドライフィルムレジストを利用した低価格と高密度を両立させるビルドアップ基板の開発」第13回マイクロエレクトロニクスシンポジウム、80～83ページ、2003年