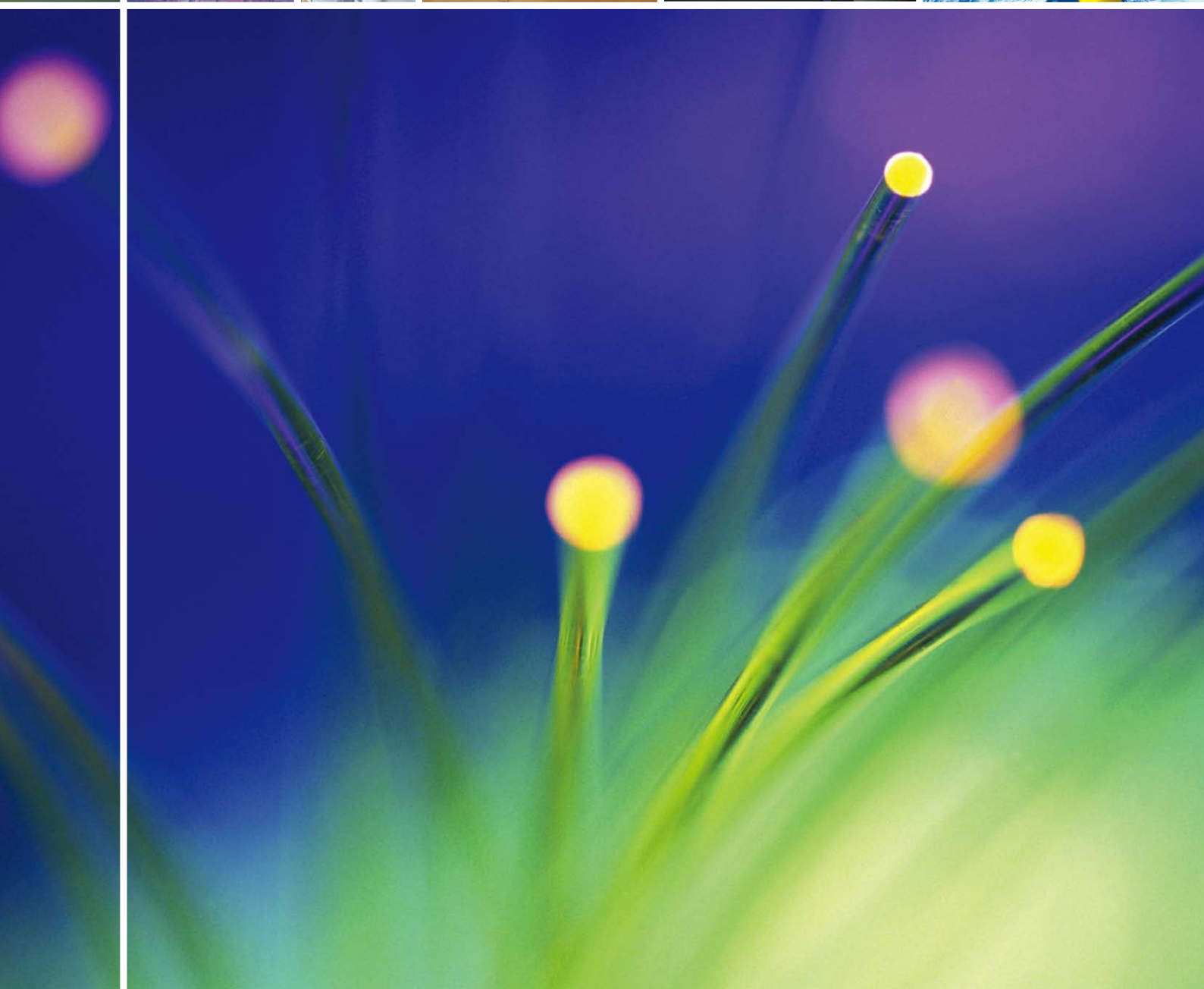
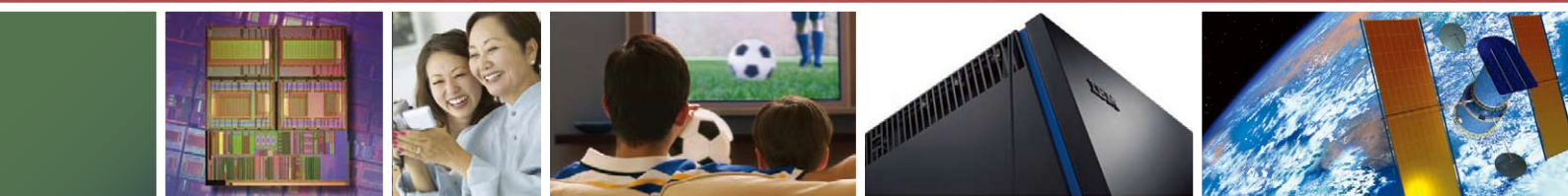


IBM ASICソリューション



IBM グローバル・エンジニアリング・ソリューションズ

インテグレーション パフォーマンス バリュー

競合他社製品との差別化を実現するASICの開発と提供 — 革新的な成果をもたらす

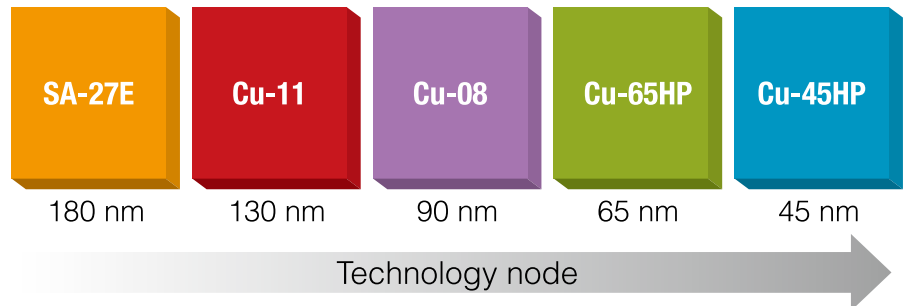
イノベーションの実現

IBMは40年以上にわたり、銅配線技術、Low-k誘電体、シリコン・ゲルマニウム、およびシリコン・オン・インシュレーター (SOI) 技術などの画期的なイノベーションを実現し、半導体業界を変革し続けています。日常利用しているコンシューマー向け電子機器から、電波信号を解析して宇宙誕生の謎を探求するスーパーコンピューターに至るまで、IBMの包括的なASICソリューションは、現実世界のニーズに対応するイノベティブなアプリケーションを幅広くサポートしています。

IBMの最新のASIC製品であるCu-45HP (45 nm) は、IBM初のSOIベースASICとしてお客様に新しいソリューションを提供し、従来のCMOSベースのバルク・シリコン・テクノロジーを凌ぐ性能とパワーを実現しています。

Cu-45HPは、航空宇宙および防衛産業、コンシューマー電子機器、情報技術、ネットワークキングおよび通信など、性能重視のアプリケーションを対象にしています。

ASIC製品



お客様はIBMグローバル・エンジニアリング・ソリューションのASIC製品をご利用いただくことで、自社の研究開発（R&D）能力を高めることができます。IBMの知的財産（IP）、デザイン・メソドロジー、および設計サービスを組み合わせたASIC製品を使用すると、初回からの確に動作する設計が可能になり、ソリューションを差別化できるので、競合他社に先駆けて製品の市場投入が可能になり収益を高めることができます。

協調的なコラボレーション

お客様はASICソリューションを実現するために、IBMグローバル・エンジニアリング・ソリューションと共同で取り組むことにより、IBMの知的財産（IP）、ライブラリー、製造サービス、設計サービス、およびEDAツール・サプライヤーから構成される包括的なエコシステムを利用できます。このコラボレーションにより、実績のあるソリューションをイノベティブな方法で再利用できるため、製品の市場投入期間を短縮し、コストとリスクを削減して、付加価値を創り出すことができます。

主な仕様	SA-27E	Cu-11	Cu-08	Cu-65HP	Cu-45HP
プロセス (nm)	180	130	90	65	45
テクノロジー	バルク	バルク	バルク	バルク	SOI
電源電圧V _{DD} (V)	1.8	1.2/1.5	1.0/1.2	1.0	1.0/0.9
ゲート遅延 (ps)	23	15.2-19.1	6.9-15.6	6.05-9.95	3.8-9.9
配線可能ゲート数 (単位: 100 万)	24	40	72	120	200
消費電力 (nW/MHz/gate)	20	9	6	4.5	3.2/2.6
トランジスター・リーク電流 L _{soft} (nA/μm)	0.08	0.0-4.5	0.3-60	0.5-50	0.2-50
Raw 回路密度 (Kgates/mm ²)	88	175	310	615	1480
メタル・レイヤー	5-6	6	6-8	8-9	9-10
薄膜レベル誘電材料	SiO ₂	FSG/USG	低誘電体 (Low-k)	低誘電体 (Low-k)	超低誘電体 (Ultralow-k)

注：ゲートは、等価な2入力NANDとして定義されています。

Powerアーキテクチャー・テクノロジー

IBMの信条は、オープン・スタンダードとコラボレーションです。そのために、Powerアーキテクチャー・テクノロジーを社外に開放しました。Powerアーキテクチャーはカスタマイズ性、柔軟性、そして拡張性に優れているので、お客様はライセンス供給されたPowerアーキテクチャー・ベースのPowerPC[®] コアを自社のASIC システム・オン・チップ (SoC) 設計に組み込むことで、製品の差別化と再利用性を最大限に高めることができます。



IBM ビジネス・パートナー

IBMのIPコラボレーション・プログラムを通じて、数多くのIPサプライヤーがIBM ASICデザイン・メソッドロジーと互換性のある豊富なデザイン・ソリューションを提供しています。IBMビジネス・パートナーは、自社製品とIBMテクノロジーとの互換性が検証済みであることを示す「Ready for IBM Technology (RFIT)」マークを使用しています。



コモン・プラットフォーム・テクノロジー

IBM, Chartered Semiconductor Manufacturing, およびSamsungの3社は、コモン・プラット

フォーム・テクノロジーをつくりました。これは大量生産に柔軟に対応するためのコラボレーションです。コモン・プラットフォーム製造工場は、世界中に設立された工場のどこでもシングル・チップ・デザインを製造できるように協力体制が整備されています。



IBMはこのような製造工場に加え、最新技術を採用した完全自動化 (タッチレス) 300 mm半導体製造工場なども保有しているため、お客様は最先端の半導体テクノロジーを活用して、変化の激しい市場の要求に応えることができます。

スケーラブルな設計ソリューション

お客様はIBMグローバル・エンジニアリング・ソリューションをご利用いただくと、ライブラリーおよび知的財産 (IP) の豊富なポートフォリオを活用して、さまざまなアプリケーションに対応したシステム・オン・チップ (SoC) ソリューションを実現できます。IBMのポートフォリオには、ゲート・アレイおよび標準セル・ロジック・デザイン・ライブラリー、複数の入出力 (I/O) ファミリー、組み込みSRAM、およびDRAMなどがあります。さらにIBM、IBMビジネス・パートナー、およびその他のサプライヤーから供給されるさまざまなコアや組み込みマイクロプロセッサも利用できます。

IBMはSoC設計を可能にする目的で、高速かつ高精度の遅延ライン、高速シリアルライナー/デシリアルライナー、豊富な高速パラレル/シリアル・バス・インターフェース・プロトコル、低ジッターPLL (フェーズ・ロック・ループ)、Power アーキテクチャー・ベースの組み込みプロセッサ、およびインターコネクト・コアなど、業界をリードするIBM コアを提供しています。IBM コアには、数々の賞を受賞したIBM CoreConnect[™] バス・アーキテクチャーが組み込まれており、標準製品およびカスタムSoCデザインで、プロセッサ、システム・コア、およびペリフェラル・コアを統合および再利用することができます。

RFIT認証を受けたIBMの認定ビジネス・パートナーから構成されるIBMのネットワークを通して、さまざまな専用コアが提供されます。IBMの統合デザイン・メソッドロジーをご利用になると、シームレスかつ効率的にこれらのコアを統合することができ、さらなる柔軟性と設計の自由度がもたらされます。

IBMおよびビジネス・パートナーやサプライヤーのエコシステムから供給される、実績ある知的財産 (IP) ソリューションを利用することで、お客様は容易に自社製品を差別化できます。これらのスケーラブルなソリューションにより、選択の自由度が最大限に高まり、従来および次世代のアプリケーションが抱えている課題に応えることができます。

デザイン・ライブラリー

IBM ASIC設計キットに付属しているデザイン・ライブラリーで提供される豊富な回路機能は、ほとんどの合成環境で容易に統合したり効率的に利用したりできます。このデザイン・ライブラリーは、幅広いドライブ強度に対応しているため、消費電力を最適化しながら効率的に短絡を処理し、遅延を最小限に抑えながらチップ内での接続を効果的に管理できます。

IBM Cu-11、Cu-08、Cu-65HP、およびCu-45HP の各ASIC製品は、3つのロジック・デ

ザイン・ライブラリーを特長としています。それぞれのライブラリーは、固有のスレッショルド電圧 (Vt) およびリーク電流特性に合わせて調整されています。

下位のVt (LVT) デザイン・ライブラリーの要素は、3つのVt デザイン・ライブラリーの中で最高性能を発揮します。

通常のVt (RVT) デザイン・ライブラリーの要素は、リーク電流と性能のバランスを保っています。

上位のVt (HVT) デザイン・ライブラリーの要素は、リーク電流を優先します。

消費電力と性能のバランスを取ることは、それほど難しい作業ではなくなります。なぜなら、設計目標を達成できるようにデザイン・ライブラリーの要素を組み合わせるだけで、お客様の設計を微調整できるからです。さらなる柔軟性が必要な場合、Cu-45HPはCu-65HP HVT同等製品よりリーク電流を大幅に削減し、性能面で多少優位性のある16オンゲストローム・デバイスをベースとした4番目のデザイン・ライブラリー・オプションを導入しています。

入出力 (I/O)

IBM ASIC 入出力 (I/O) ファミリーには、高度に専門化されたAGP、GTL、HSTL、I2C、LVDS、LVTTL、PCI/PCI-X、PECL、SSTL/SSTL2、およびUSB の要素以外に、従来のCMOS 入出力 (I/O) をはじめとす

る、広範な業界標準のドライバーおよびレシーバーがあります。これらの入出力 (I/O) は、設計の幅を広げるために1次電圧と2次電圧オプションが用意されています。

設計システム	入出力 (I/O) 電源電圧
SA-27E	1.8 V (源電圧)、1.5 V、2.5 V、3.3 V、3.3 V (5.0 V 耐性)
Cu-11	1.2 V、1.5 V (源電圧)、1.5 V、1.8 V、2.5 V、2.5 V (3.3 V 耐性)
Cu-08	1.0 V、1.2 V (源電圧)、1.5 V、1.8 V、2.5 V、2.5 V (3.3 V 耐性)
Cu-65HP	1.0 V (源電圧)、1.2 V、1.5 V、1.8 V、2.5 V (3.3 V 耐性)
Cu-45HP	1.0 V、0.9 V (源電圧)、1.2 V、1.5 V、1.8 V、2.5 V (3.3 V 耐性)

組み込みメモリー

IBMは、テクノロジー世代を重ねるごとに、組み込みメモリー・オプションのポートフォリオを拡充し続けています。広範囲のCAM、DRAM、SRAM、およびROMメモリー・アレイが用意されており、アクティブ電流とスタンバイ電流、基板面積、帯域幅、レイテンシー、および性能の間でトレードオフを行うことができます。さまざまな詳細構成が可能であるため、各種用途に適した柔軟なカスタマイズが可能です。

IBMの組み込みメモリー製品は、広範囲の動作温度と動作電圧をサポートします。ボルテージ・アイランドおよびRAM電源管理モードにより、低消費電力状態または停止状態のときには不要なメモリー・ブロックへの電力供給を削減（または停止）することで、チップ全体の消費電力を最適化することができます。組み込みメモリーによってシステム全体の消費電力を削減できるため、これは電圧の高い外部CAM、DRAM、およびSRAMの各コンポーネントに対する魅力的な代替案となります。

組み込みメモリーを利用すると、外部コンポーネントやそれに対応するバスが不要になるため、広くなったシステム・ボード空間やパッケージ・ピンを他の用途に回したり、全体的なコストを削減したりできるという利点も生まれます。ASIC設計では、外部コンポーネントを使用するとコストが増大してしまう超高帯域幅での転送を実現するために、オンチップ・メモリーを利用して各種入出力（I/O）メモリー・サブシステムを構築することもできます。

IBMの組み込みDRAM (eDRAM) 製品では、基板面積、リーク電流率、およびソフト・エラー・レートをさらに削減するために、オンチップSRAMを使用しています。用意されている各種パイプライン動作モードから適切なモードを選択することで、システムのクロック・サイクル時間とデータ・アクセス・レイテンシのトレードオフが可能です。

多くの場合、eDRAMは組み込みSRAMの代わりに使用でき、システム周波数にもレイ

テンシーにも影響しません。

eDRAMは、スペースを節約するために、以前から組み込みSRAM ブロックの代わりに使われていますが、Cu-45HPはeDRAM製品の新ファミリーとして登場しました。これらの製品は、高速なランダム・サイクル時間を実現するように最適化されており、リーク電力や基板面積の点でも優れ、組み込みSRAMまたは低ビット・カウントの組み込みSRAMの最適な代替案となります。

IBM eDRAMおよびSRAMソリューション

には、柔軟なインターフェースに加えて、微細な自律型自己修復用の電子フューズ (eFUSE) を使用した革新的なヒーリング能力などの包括的なセルフテスト機能が含まれています。eFUSEは組み込みメモリーに合わせた冗長性を自動的に呼び出し、ウェハーとパッケージダイ・レベルの両方でマルチパス修復処理を実行することで、信頼性と製造性を向上させます。

メモリー・オプション	SA-27E	Cu-11	Cu-08	Cu-65HP	Cu-45HP
レジスター・アレイ (2、3、4 ポート)	A	A	A	P	P
レジスター・ファイル (1 ポート)	-	-	A	P	P
高密度コンパイル可能 1 ポート SRAM	A	A	A	P	P
超高密度コンパイル可能 1 ポート SRAM	-	-	-	P	P
パイプライン方式コンパイル可能 1 ポート SRAM	-	-	-	P	P
高性能コンパイル可能 1 ポート SRAM	-	-	-	P	P
レジスター・ファイル (2 ポート)	-	-	A	P	P
コンパイル可能デュアルポート SRAM	A	A	A	P	P
コンパイル可能 2 ポート SRAM	A	-	-	P	P
シーケンシャル、コンパイル可能 4 ポート SRAM	A	A	A	-	-
マルチポート SRAM (5 ポート)	-	-	-	P	-
フロースルー・コンパイル可能 CAM	A (2 次元)	A (3 次元)	A (3 次元)	P (3 次元)	P (3 次元)
パイプライン方式コンパイル可能 CAM	-	-	-	P (3 次元)	P (3 次元)
コンパイル可能 ROM	A	A	A	P	P
高帯域幅 1 ポート DRAM	A	A	A	P	P
高帯域幅疑似 2 ポート DRAM	-	-	-	P	P
高速ランダム・サイクル 1 ポート DRAM	-	-	-	-	P

A = 使用可能 - = 使用不可 P = 予定

注：P はすべて予定です。予告なく変更されることがあります。

代表的な知的財産 (IP) ポートフォリオ

	通信	コンシューマー	IT(サーバーおよびストレージ)
高速シリアル・リンク	CEI、ファイバーチャネル、Genet、PCI Express、SRIO、SONET/SDH、XFI、XAUI	Genet、PCI Express、SATA、SGMII、SRIO、XAUI	ファイバーチャネル、InfiniBand、PCI Express、SATA、SAS
ソース同期リンク	マルチプロトコル・メモリー・インターフェース、HyperTransport、システム・パケット・インターフェース	マルチプロトコル・メモリー・インターフェース	マルチプロトコル・メモリー・インターフェース
シリアル・インターフェース	I2C	HDMI、I2C、SCP、UART、USB 2.0、XIO	USB 2.0
ロジック・レイヤー	EMAC4、MII、RMII、SMII、XEMAC、XGXS、XFI	EMAC4、HDMI、SATA、SRIO、USB 2.0	PCI Express、InfiniBand、SATA、SRIO
バス・インターフェース	MC-MAL、PCI、PCI Express、TCPIP	PCI、PCI Express	PCI、PCI Express
バス構成	CoreConnect バス・アーキテクチャー	CoreConnect バス・アーキテクチャー、ARM バス・アーキテクチャー	PCI Express、InfiniBand、SATA、SRIO
プロセッサ	ARM™、PowerPC、および Tensilica プロセッサ	ARC、ARM、PowerPC および Tensilica プロセッサ	ARM および PowerPC プロセッサ
メモリー・コントローラー		DMA to PLB、PLB to DDR、Denali	
データ・コンバーター		A/D、D/A	
コーダー / デコーダー	8 ビット/10 ビット、64 ビット/66 ビット	MP3、MPEG、JPEG デコーダーおよびエンコーダー、WMA デコーダー、音声コーデック	8 ビット/10 ビット、64 ビット/66 ビット

注：この図は、IBM と IBM IP コラボレーション・プログラムから供給される知的財産 (IP) と、サードパーティのサプライヤーによって IBM にライセンス供与された知的財産 (IP) の組み合わせを示します。ASIC 設計システムごとに対応する知的財産 (IP) は異なります。また予告なく変更されることがあります。

知的財産 (IP)

IBM グローバル・エンジニアリング・ソリューションをご利用いただくと、IBM社内で開発された最先端の知的財産 (IP) を利用できるだけでなく、実績のあるIPプロバイダーから構成されるIBM のパートナー・ネットワークを通して、他のベンダーの知的財産 (IP) も利用できます。実績ある結果を実証してきた既存の知的財産 (IP) を再利用することで、SoC設計サイクルにかかる時間を大幅に短縮し、リスクを緩和することができます。

IBM IPポートフォリオには、大幅な性能向上を実現する超低ジッター生成および強化ジッター耐性などの特性を特長とする高速シリアルライザー/デシリアルライザー (HSS) コアがあります。これらのコアは、要求の厳しいバックプレーン・アプリケーションに、マルチタップ・トランスミッター・フィードフォワードおよびレシーバー・デザイン・フィードバック・イコライザーなど、高度なイコライゼーション・テクノロジーを提供します。

IBMは、シリアル・リンク標準化委員会 (Serial-link Standards Committees) で積極的に活動しており、IBMのHSSコア製品は、広範なアプリケーションに渡って現在の業界標準との互換性があります。

IBM HSS ポートフォリオ						
周波数	アプリケーション	SA-27E	Cu-11	Cu-08	Cu-65HP	Cu-45HP
0.1 ~ 3.2 Gbps	XAUI	A	A	A	A	P
	ファイバーチャネル	A	A	A	A	P
	Gbps イーサネット	A	A	A	A	P
	PCI Express	-	A	A	A	P
	シリアル高速入出力 (I/O)	-	A	A	A	P
	SAS	-	A	A	A	P
	SATA	-	A	A	A	P
	OIF Sx15	-	A	A	A	P
	OC-3、OC-12、OC-48	-	A	A	A	P
	OIF CEI	-	A	A	A	P
	ファイバーチャネル	-	A	A	A	P
4.25 ~ 6.4 Gbps	PCI Express (第 2 世代)	-	-	A	P	P
	SATA	-	-	-	P	P
	SAS	-	-	A	P	P
	ファイバーチャネル	-	-	A	P	P
	XFI	-	-	A	P	P
8.5 ~ 12.5 Gbps	OIF CEI	-	-	A	P	P
	OC192	-	-	-	-	-
	10 Gbps イーサネット	-	-	A	P	P
17 ~ 20 Gbps	ファイバーチャネル	-	-	-	-	P

A = 使用可能 - = 使用不可 P = 予定
注：P はすべて予定です。予告なく変更されることがあります。

パッケージ・オプション	SA-27E	Cu-11	Cu-08	Cu-65HP	Cu-45HP
FC-PBGA	A	A	A	P	P
CBGA、CCGA	C	C	C	-	-
EPBGA	A	A	A	A	P
TE-EPBGA	-	-	A	P	P
FBGA	-	-	A	C	C
HPBGA	A	A	A	-	-
LQFP、PQFP、TQFP	A	-	-	-	-
SIP	-	-	-	C	C

A = 使用可能 - = 使用不可 P = 予定 C = カスタム
注：P はすべて予定です。予告なく変更されることがあります。

パッケージング

IBMは、アプリケーションの高性能化と低消費電力という課題に応えるために、さまざまなパッケージ代替案を提供しています。またIBMはお客様独自のアプリケーション要件に応えるために、共同でソリューションのカスタマイズも行います。

デザイン・メソドロジー

IBMグローバル・エンジニアリング・ソリューションは、お客様のASIC設計を始めから終わりまで一貫して成功へと導く統合デザイン・フローを提供します。デザインの立ち上げ/企画からIBMテクノロジーを使用して生産されたシリコンの実装、完全にパッケージされたシリコン・ソリューションに至るまで、このデザイン・フローによりお客様は業界標準のツールおよびIBMの包括的なモデルやツール製品を利用することができます。

IBMはシリコンのキャラクタライズと認定において長年培ってきた経験に基づき、回

路モデル、パッケージ・モデル、および設計ツールの機能を継続的に強化しています。これらのモデルやツールを使用することにより、正確でかつ確実な結果を実現するために必要となる高度なモデリング手法がもたらされ、お客様の設計が成功する上で差別化が可能になります。エキスパート・サポート担当員およびIBM メソドロジー・アドバイザー・ツールのTheGuideなどの製品により、複雑化の一途をたどる設計要件を効率的に管理し、DFM（製造性を考慮した設計）からチップおよびパッケージの同時設計に至るまで、模範となるデザイン・プラクティスを活用できます。

デザイン・フロー	タスク	CAD ツール
テクノロジーの最適化	ロジック合成および物理合成	IBM BooleDozer™、IBM Placement Driven Synthesis Cadence RTL Compiler、Synopsys Design Compiler、Synopsys Physical Compiler、Synopsys Power Compiler、Synopsys Design Compiler Topographical、Magma BlastCreate
	デザイン・プランニング	IBM ChipBench™、IBM Bubbleviewer、Cadence First Encounter、IBM Chip Package Co-design、Magma BlastPlan
	テスト合成	Cadence Build Top Shell、Cadence RTL Compiler
デザイン検証	スタティック・タイミング解析	IBM EinsTimer™、Synopsys PrimeTime
	テスト構成検証	Cadence Encounter Test
	形式検証	IBM Verity、Synopsys Formality、Cadence Verplex/Conformal
	ゲートレベル・シミュレーション	Cadence NC-Sim、IBM Mesa、Mentor Graphics ModelSim、Synopsys VCS
配置、クロック、および配線	配置	IBM ChipBench、Cadence SoC Encounter、Synopsys Physical Compiler
	クロック・ツリー合成	IBM Clock Designer、IBM BonnClock、IBM Structured Clock Buffer Planner
	配線	IBM Manufacturing-Aware Router、IBM BonnRouter
サインオフ	タイミング解析	IBM EinsTimer、IBM EinsVAT、IBM Einstat
	消費電力解析	IBM Power Sub-system、IBM Power Spreadsheet
	ノイズ解析	IBM ALSIM、IBM 3DNoise、IBM Package ERC、IBM LPR、IBM ETCoupling
	ポストレイアウト・テクノロジー・チェック	IBM CMOSChecks、IBM ChipEdit
テスト	テスト・パターン生成	Cadence Encounter Test

注：IBM ASIC 製品ごとにサポート対象ツールは異なります。詳細については、IBM にお問い合わせください。A = 使用可能= 使用不可 P = 予定
注：P はすべて予定です。予告なく変更されることがあります。

デザイン・メソドロジー、デザイン・ツール、およびデバイス製造の包括的な統合

IBMは、キャラクタライズおよび認定において収集された豊富な情報に基づいて、自社のツールやメソドロジーの微調整および強化を絶えず行っており、お客様がより堅牢なASICを設計できるようにしています。たとえば、IBMはライブラリーのキャラクタライズおよび認定のプロセスを拡充し続けており、デバイスや、動作プロセスおよび製造プロセスの変動に関する情報を充実させています。

IBMの統計的タイミング・メソドロジーでは、この情報に基づいてタイミングをより効率的に解析し、お客様の設計を最適化します。またIBMは最先端のコア、組み込みメモリー、ボルテージ・アイランド、高性能入出力 (I/O)、およびその他のASICデザイン・ライブラリーの要素をシームレスに統合することにより、お客様が機能を最適化し、コストを削減できるようにしています。

IBM ASIC設計がマスク構築および製造の段階にリリースされた時点でも、IBMメソド

ロジー、ツール、および製造に渡る包括的な連携が行われるため、お客様は確実な結果を手に入れることができます。これにより、お客様は差別化を実現するデザイン・アーキテクチャーにリソースを集中させることができるため、特に競合他社が「フリーサイズ」のソリューションを提供している場合には、製品の競争力を大幅に高めることにもなります。またIBMはお客様が初回からの確に動作する設計ができるように取り組んでいるため、ハードウェアの再設計は不要であり、製品の市場投入期間を短縮する明らかなアドバンテージになります。

設計キット

IBM ASIC設計キットには、包括的なデザイン自動化ツールで実行可能なファイルと、高精度の特定テクノロジー・モデルに対応したスクリプトが付属しています。この設計キットはLinux[®] オペレーティング・システムをサポートしているため、お客様は現在のハードウェアでオープンソース・プラットフォームを利用できます。

統計的タイミング

IBMは統計的タイミングを活用して、製品の経年変化、環境変動、製造上のプロセス変動を考慮します。* 統計的タイミングでは、このような変動に影響する要因を、VLSI処理手順および処理間のトラックと共にモデリングします。この詳細なタイミング解析により、製造プロセスの変動に起因する潜在的なリスクが完全に解消されなくても、設計者は設計上の不安要素を抑えて性能を強化することができます。

統計的タイミングは、IBM のデザイン最適化およびデザイン・フィックスアップ・メソッドロジーに完全に統合されています。統計的タイミングでは、モデルをインクリメンタルに変更できるので、デザインの変更も容易です。IBM Cu-65HP、Cu-45HP、およびそれ以降の設計では統計的タイミングを利用できますが、それ以前のテクノロジーでは、統計的タイミングにも応用されている、以前のバリエーション・アウェア・タイミング手法を利用できます。

集積回路のノイズと消費電力の解析環境

IBMデザイン・メソッドロジーには、ノイズと消費電力の問題を解消するための統合電子解析環境が組み込まれています。この統合手法の主要な要素は、解析、回避、修復の3つです。この手法により、潜在的なノイズや消費電力の問題を回避することができます。これは、IBMメソッドロジーが提供する保護的な措置により、「構築しながら修正する (correct-by-construction)」設計が保証されるためです。

包括的な集積回路のタイミング解析手法では、予想される静的な知的財産 (IR) と信号のカップリング状況を考慮します。またIBMデザイン・メソッドロジーは、トポロジーや状況に依存したデバイスも利用して、抽出とモデリングを関連付けます。最終的に、IBMのフィジカル・デザイン・メソッドロジーにより、解析時に検出された消費電力とノイズの問題は容易に修復できます。このような手法を組み合わせることで、潜在的な問題が解消され、初回からの確に動作する設計が実現します。

パワー・マネージメント

消費電力の条件が厳しいアプリケーションでは、独創的なパワー・マネージメント手法が求められます。IBM は、お客様が限られた消費電力の範囲内で性能の目標を達成できるように、豊富なデザイン・ライブラリー、デバイス、知的財産 (IP)、および各種テクニックを提供しています。

パワー・マネージメント手法	SA-27E	Cu-11	Cu-08	Cu-65HP	Cu-45HP
デュアル・ロジック・オキシサイド・テクノロジー：リーク電流の利点	-	-	-	-	A
複数のスレッショルド電圧 (V _t) デザイン・ライブラリー：電力と性能のトレードオフ	-	A	A	A	A
複数のトラックハイト・デザイン・ライブラリー：密度または性能に合わせて最適化	-	A	-	A	A
クロック・ゲート制御 (デザインによって、または合成から)	A	A	A	A	A
柔軟性の高い電源：ボルテージ・アイランド内の IP は別の電源電圧 (V _{DD}) を利用可能	-	A	A	A	A
ボルテージ・アイランドの電力ゲート制御：チップの未使用部分がオフになる	-	C	A	A	A
選択的電圧保存	-	-	A	A	A
低消費電力 SRAM：組み込み電力ゲート、保持電圧	-	-	-	S	A
動的電圧制御：フィードバック制御による電源のオンデマンド変更	-	-	-	S	A
動的周波数制御：フィードバック制御によるクロックのオンデマンド変更	-	-	-	C	C

- = 使用不可 C = カスタム S = セミカスタム A = ASIC

トレンチ・デカップリング・コンデンサー

IBMのトレンチ・デカップリング・コンデンサーは、電源ノイズを削減し、リーク電流を最小限に抑制します。動的な知的財産（IR）の影響を削減するために、IBM ALSIM 消費電力解析ツールを使用して、潜在的なノイズ・トラブルとなる場所を特定し、コンデンサーを適切な場所に配置できます。eDRAM を用いた設計では、ディープ・トレンチ・デカップリング・コンデンサーを使用します。eDRAMを用いない設計では、シャロー・トレンチ・デカップリング・コンデンサーを使用します。

また小型のトレンチ・コンデンサーは、従来の薄膜酸化物水平デカップリング・コンデンサーと比較すると、サイズの面で大きな利点にもなります。トレンチ・コンデンサー・テクノロジーはロジックが緊密に統合されているため、より小さなダイサイズを利用して、コストやスペースを削減することができます。また、オンチップ・タイミングを積極的に利用することで、性能を最大限に引き上げることができます。

チップ・パッケージの統合

高度な設計自動化ツールは、アプリケーション固有の消費電力要件に基づいてチップやパッケージの電源構成を検証し、自動的にパッケージの電気的特性をチェックして、チップ、パッケージ、およびボード・シミュレーションにふさわしいモデルを生成することで、完全に統合されたソリューションを実現します。チップおよびパッケージ

を同時に設計すると、チップ・フロア・プランニングで利用できるパッケージ・デザイン・データが用意されるため、設計時間を短縮することができます。チップ・フロア・プランニングの結果は、最終的なパッケージ設計をスピードアップします。IBM のパッケージ・オンザフライ戦略は、パッケージ・デザインにおける豊富な経験と結合し、お客様のアプリケーションに適したコスト競争力のあるソリューションをもたらします。

テストを考慮した設計

テストの容易性と信頼性は、IBM ASICメソッドロジーの基礎となります。すべてのロジック構成はフルスキャン・メソッドロジーによってサポートされているため、最終レイアウトを開始する時点では、すでにテストの容易性に関する問題はすべて解決済みです。IBM のテスト構成検証サインオフは、完全に自動化されたテスト・パターンを生成することにより、リソース集約型の時間のかかるテスト・ベクトル生成プロセスを削減します。このテスト手法では、通常99%以上の故障検出率を実現できます。IBMはCu-65HP (65 nm) およびat-speed (実速度) 構造実験などの最新技術によって、自社のテスト手法を強化しています。このテスト手法により、実際の製品と同じクロック速度で設計を行う場合に、より高い欠陥検出率を実現できます。

I/O プランニング・メソッドロジー

IBM はI/O プランとフロア・プランを組み

合わせて最適化を行うことでエリアレイ機能を活用しています。このメソッドロジーは、パッケージおよびカード要件に合わせてI/O 配置およびI/O ピン割り当てを行います。また最適なノイズ回避を実現するためにI/O ピンの配置と割り当ても行います。

物理設計

IBM EDA (Electronic Design Automation) グループ、IBM デザイン・センター、IBM 研究所、およびボン大学（ドイツ）間でのコラボレーションにより、きわめて強力な物理設計ツール群が誕生しました。IBMは輻輳およびノイズの回避に特長がある物理設計メソッドロジーと、タイミング重視の配置を活用した配置重視型の合成を組み合わせることで、非常に複雑なデザインでも問題なく実装できるようにお客様を支援します。

サインオフ基準

IBMは、ASICが設計条件に確実にサインオフできるように、デザイン・フロー全体の各所にチェックポイントを設けています。たとえば、最初の重要なチェックポイントは、初期の設計審査（デザイン・レビュー）です。このチェックポイントは設計段階の開始時点で行われるもので、お客様とIBMの営業担当員が設計仕様について確認し、より深く理解するために打ち合わせを行います。その他の設計段階のチェックポイントでも同様に、IBM はお客様と共同でデザイン・フロー全体に渡って仕様の確認を行います。

IBMは、初回からの確に動作する設計を可能にするテクノロジー、モデル、ツール、サービス、およびサービスを豊富に用意しているため、IBMの統合設計メソッドロジーを利用することで、競合他社を大きく引き離す優位性がもたらされます。IBMのシステム・レベルの戦略では、最終的に信頼性の高いハードウェアを実現するために、デザイン性能に影響を与える可能性のある要因を個別に、あるいは他の要因と絡めて評価します。

エンゲージメント・モデル

IBMグローバル・エンジニアリング・ソリューションは、リソース、時間、予算などに関連した潜在的な課題に対応できる柔軟性の高いエンゲージメント・モデルを用意しています。お客様は、IBMの設計サービスを利用して自社のリソースを補完しつつ、自社のコア・コンピテンシーに集中することができます。

標準的なASIC エンゲージメント

標準的なASIC エンゲージメント・モデルでは、お客様は自社のリソースを製品の定義やロジックの実装に集中させることができます。通常、完成したASIC デザインの納品形態は、合成後のタイミング・アサーションおよびフロア・プラン情報を含むゲートレベルまで記述されたEDIF (Electronic Design Interchange Format) ファイルになります。

IBMは、お客様に代わって物理実装とテスト統合を担当します。お客様はIBMデザイン・センターと共同で設計作業に取り組み、

製造リリース (RTM) の前に最終的なデザインのサインオフを行います。

ジョイント・コラボレーション・エンゲージメント

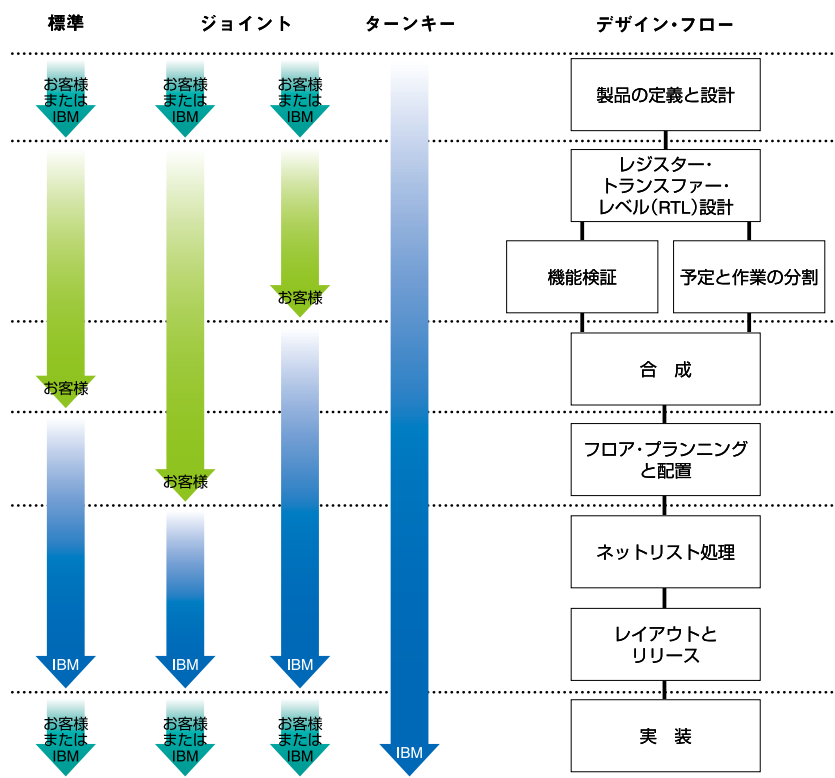
ジョイント・コラボレーション・エンゲージメント・モデルでは、お客様が設計プロセスに関与するレベルを指定することができます。

お客様は、デザインの物理レイアウトを担当することも、高度な動作コードの開発にのみ集中することもできます。

フル・ターンキー・エンゲージメント

フル・ターンキー・エンゲージメント・モデルでは、お客様の要件に基づいて、IBMがデザイン・フロー全体を担当してASICデザインを実装します。お客様が関わる部分は最小限に抑えられるため、重要な箇所のみ集中できます。このタイプのエンゲージメント・モデルは、リソースの問題や設計ツールの制約に直面しているお客様にとって最適な選択肢となります。

エンゲージメント・モデル



ASIC デザイン・センターとサービス

IBMデザイン・センターは、お客様の利便性を考えて、アジア、欧州、および北米に設けられています。これらの施設には数百人の優秀なエンジニアが配属されており、初回からの確に動作する設計が可能で、開発期間を短縮します。またお客様は、IBM ASIC開発チームへのホットラインを通じて、IBMの経験豊富な専門家に相談することもできます。

IBMデザイン・センターに所属している多才なエンジニアは、フロントエンドおよびバックエンド設計の専門家であり、アーキテクチャー、ロジック・デザイン、統合、検証から、プランニングと合成、スタティック・タイミング解析およびタイミング・クロージャ、テスト挿入とテスト・ロジックの検証、フロア・プランニングと配置、チップ配線、最終確認、および製造リリースに至るまで、開発フロー全体に対応します。また、完全なソリューションを構築する高度なスキルも持っており、密接に統合されたソフトウェアとハードウェアの開発を保証します。IBMデザイン・センターは、長年に渡ってあらゆる分野で優秀な成果を出し続けており、複雑な先進テクノロジー開発にも手慣れているため、コンシューマー電子機器からネットワーク、通信に至るまで、さまざまなアプリケーションを扱えます。IBM ASICディストリビューター・プログラムは、デザイン・センターの能力を補完し、Avnet Electronics MarketingによるCu-08 (90 nm)、Cu-11 (130 nm)、およびSA-27E (180 nm) の設計サービスを利用できるようにします。

IBMデザイン・センター



米国テキサス州オースチン
米国バーモント州バーリントン
米国ノースカロライナ州ラーレイ
米国カリフォルニア州サンノゼ

インド、バンガロール
ドイツ、ペープリング
日本、京都
中国、上海

IBM デザイン・センターだけではなく、IBM グローバル・エンジニアリング・ソリューションを通じて、他の世界中のエンジニアリング・サービスおよび技術サービスをご利用いただけます。

IBMグローバル・エンジニアリング・ソリューションをご利用いただくと、お客様の研究開発 (R&D) 能力がさらに高まり、従来のASICエンゲージメントを超える包括的なソリューションを実現できます。IBM グローバル・エンジニアリング・ソリューションは、お客様が自社の顧客に合わせてソリューションを実装できるように、豊富な業界知識、イノベティブな技術、高度な知的財産 (IP)、および世界中の優れた研究開発リソースを独自に組み合わせた、さまざまなサービスを提供します。

さあ始めましょう

IBMグローバル・エンジニアリング・ソリューションは、お客様が素晴らしい成果をもたらすイノベティブな製品を開発できるように、ASIC メソッドロジー、テクノロジー、知的財産 (IP)、およびサービスを提供します。

IBMとのコラボレーションの詳細については、次のWeb サイトをご覧ください。

ibm.com/technology

ibm.com/technology/jp (日本語)

ASICのWebサイトも合わせてご覧ください。

ibm.com/jp/chips/asics/ (日本語)

お問い合わせ

日本アイ・ビー・エム株式会社
マイクロエレクトロニクス事業

大和事業所

〒242-8502 大和市下鶴間1623-12

京都オフィス

〒604-8175 京都市中京区室町通
下る円福寺町 338

半導体製品情報の詳細 については、
ホームページをご覧ください。

<http://www.chips.ibm.com> (英語版)

<http://www.ibm.com/jp/chips> (日本語版)

お問い合わせは chips@jp.ibm.com

●このカタログに記載の情報は、予告なく変更されることがあります。また、ここで取り上げた製品は、人体への埋め込みや、その故障によって疾病または死亡が引き起こされる可能性のある生命維持装置などへの組み込みを意図して開発されたものではありません。記載の情報は情報提供のみを目的としており、IBMの製品仕様や保証内容を意味するものではありません。また、いかなる表現も、IBMやサード・パーティー企業が有する知的所有権に対する明示的または暗黙的なライセンスや保証を意味するものではありません。記載の情報は、特定の環境において得られたものであり、例示的な目的でのみ使用されません。他の動作環境における結果は、記載の情報とは異なる場合があります。●このカタログに記載の情報は、現状のままで提供されています。記載の情報をどのように使用した場合においても、その結果として直接的または間接的に発生した損害については、IBMは一切の責任を負いません。

※このカタログに記載の情報は2007年6月作成のUS版カタログ (TGB030004-USEN-00) のものです。内容は変更されている場合がありますので、ご了承ください。

IBM、IBMロゴ、CoreConnect、POWER6、Power Architecture、Power PC、PowerPCロゴ、PowerPC 750iは、IBM Corporationの商標。
他の会社名、製品名およびサービス名等はそれぞれ各社の商標。



日本アイ・ビー・エム株式会社

〒103-8510 東京都中央区日本橋箱崎町 19-21

●仕様は、事前の予告なしに変更することがあります。●このカタログに使用されている製品の写真は、出荷時のものと一部異なる場合があります。●製品、サービスなどの詳細については、弊社もしくはIBMビジネス・パートナーの営業担当員にご相談ください。